

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-039966
(43)Date of publication of application : 10.02.1992

(51)Int Cl.

H01L 29/784

(21)Application number : 02-148105
(22)Date of filing : 05.06.1990

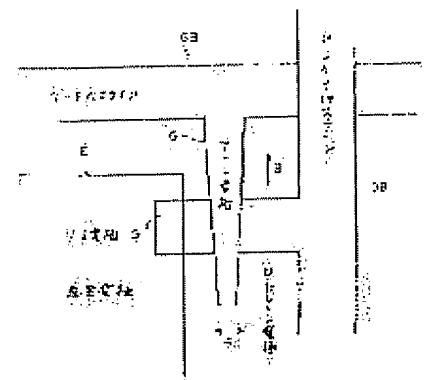
(71)Applicant : FUJITSU LTD
(72)Inventor : KOIKE YOSHIRO
NAKAGAWA YUSUKE
TANUMA SEIJI

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PURPOSE: To reduce the variation in channel length and thus in off-current of thin-film transistors by determining the optimal positions of source and drain electrodes in the manufacturing process.

CONSTITUTION: A gate electrode G is shaped into a stripe that is tapered from one end to the other end. The positions of source and drain electrodes S and D are shifted toward the direction B, depending on the gate length, to obtain a predetermined gate length. Even if there are dimensional differences in the direction A between different lots, therefore, the gate length between the source and drain electrodes S and D is maintained constant. As a result, a constant channel length is obtained, and thus uniform thin-transistor characteristics are obtained.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-39966

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月10日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平2-148105

⑰ 出 願 平2(1990)6月5日

⑱ 発 明 者 小 池 善 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 中 川 裕 介 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 田 沼 清 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性基板(1)上にゲート電極(G)、ゲート絶縁膜(2)、動作半導体層(3)をこの順に形成し、前記動作半導体層上の前記ゲート電極直上部を挟んでソース電極(S)とドレイン電極(D)とを対向配置した構成を有する薄膜トランジスタの製造方法において、

前記ゲート電極(G)を一端から他端に向かって幅が一様に変化するストライプ形状に形成し、ソース電極(S)およびドレイン電極(D)を、前記ゲート電極のストライプ幅が所定の値を示す位置に選択して形成することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(概 要)

薄膜トランジスタの製造方法、特にゲートの形成方法に関し、

製造工程の条件を変えることなく、ゲート長のロット間バラツキを低減することのできる、薄膜トランジスタの製造方法を提供することを目的とし、

絶縁性基板上にゲート電極、ゲート絶縁膜、動作半導体層をこの順に形成し、前記動作半導体層上の前記ゲート電極直上部を挟んでソース電極とドレイン電極とを対向配置した構成を有する薄膜トランジスタの製造方法において、前記ゲート電極を一端から他端に向かって幅が一様に変化するストライプ形状に形成し、ソース電極およびドレイン電極を、前記ゲート電極のストライプ幅が所定の値を示す位置に選択して形成する構成とする。

〔産業上の利用分野〕

本発明は、薄膜トランジスタ(TFT)の製造方法、特にゲートの形成方法に関する。

薄膜トランジスタを製造するに際しては、その

特性に影響を及ぼす要因としてゲート電極の幅があり、これをいかに制御形成するかが重要である。

〔従来の技術〕

従来の薄膜トランジスタの製造方法においては、チャンネル長を一定とするために、定まった寸法のゲート形成用マスクを用い、パターン形成プロセスを洗練化することにより、ゲート電極幅の安定化を図っていた。

〔発明が解決しようとする課題〕

しかし従来の製造方法では、各工程のマージンが小さく、すべての工程を厳密に管理することが必要であるため、個々のプロセス条件に対する制約が厳しく、製造工程の管理は必ずしも容易とは言えず、現実にはゲート電極幅のバラツキを小さく抑えることは困難であった。

本発明は、製造工程の条件を変えることなく、ゲート長のロット間バラツキを低減することのできる、薄膜トランジスタの製造方法を提供すること

についても、ソース、ドレイン電極S、Dに挟まれた部分のゲート長を一定化することができる。従ってチャンネル長が一定化され、薄膜トランジスタの特性を一定に保つことができる。

薄膜トランジスタの特性として、オフ電流とチャンネル長との関係を第2図に示す。このようにオフ電流のチャンネル長に対する依存性は極めて強く、特にチャンネル長が数 μm 以下となると、チャンネル長の僅かな変化でオフ電流は大きく変わる。そのため、従来の製造方法ではゲート長を数 μm とした場合には、僅かなばらつきで特性が大きく変動していた。

これに対し本発明では、ゲート長を容易に制御できるので、特性変動を小さく抑えることが可能となる。

〔実施例〕

第3図および第4図に、本発明に係る薄膜トランジスタ(TFT)の製造方法の一実施例を示す。

本実施例では、アクティブマトリクス型液晶表

とを目的とする。

〔課題を解決するための手段〕

第1図は本発明の構成説明図である。

本発明では図示したように、ゲート電極Gのストライプを、ゲート電極Gの一端から他端に向かって、ゲート長〔ゲート電極GのA方向の長さ〕が連続して一様に変化する形状に形成する。

そして、ソース、ドレイン電極S、Dの形成位置を、ゲート長の大小に応じて図のB方向にずらし、ゲート長が所定の値を有する領域を選び、その位置にソースおよびドレイン電極S、Dを形成する。

なお、同図のEは画素電極、DBはドレインバスライン、GBはゲートバスラインである。

〔作用〕

本発明では上述したように、ゲート長が所定の値となる領域にソースおよびドレイン電極S、Dを形成するので、ロット間でA方向の寸法がばら

示装置として広く実用化されている、 α -Siを用いたTFTを作製する例を説明する。通常のTFTと異なるのは、ゲート電極のストライプが先端に行くにつれて細くなること、および、ゲート電極ストライプの幅(ゲート長)に基づいて、ソース、ドレイン電極形成位置を制御することのみである。

まず、ガラス基板のような絶縁性基板1上に、ゲート電極GおよびゲートバスラインGBを形成する。ここでゲート長を、ゲートバスラインGBとの接続部で最も大きく約 $6\mu\text{m}$ 、先端に行くにつれて細くし、最先端部では約 $4\mu\text{m}$ とした。

次いで、プラズマCVD法により、ゲート絶縁膜としてのSiN膜(厚さ約 3000\AA)2、動作半導体層としての α -Si層3、保護層としてのSiO₂膜6を連続的に成膜した後、先に形成したゲート電極Gをマスクとして背面露光法を施して、上記SiO₂膜6上にレジスト膜(図示せず)を形成する。

次いで、このレジスト膜をマスクとして、Si

O₂膜6およびa-Si層3の露出部を除去し、次に、密着層としてのn⁺a-Si層4およびソース、ドレイン電極となる電極金属膜5を成膜する。

次に、上記レジスト膜を除去することにより、その上に付着していた電極金属膜5および密着層4の不要部をリフトオフする。

これにより、ソース電極とドレイン電極の間が分離される。

次いで、ソース、ドレイン電極が、ゲート電極Gのストライプが、例えば4.5μmのところを挟んで両側に均等に配置されるよう、素子分離を行なう。

このようにしてソース電極Sおよびドレイン電極Dの位置を、B方向に最適化することにより、ロット間のチャネル長のバラツキを補正することができ、本発明の目的が達成される。

具体的な位置決め方法は、基準チャネル長試料を比較対象として、個々のロット試料のゲート細り、または太りのバラツキの度合いを見定め、そ

れを基にパターン形状からB方向の位置を算出して決定すればよい。

このあと、画素電極Eを形成して、本実施例による薄膜トランジスタが完成する。なお、画素電極Eはソース電極Sの端部と重ね合わせて電氣的に接続する。

本実施例で作製したTFTのオフ電流特性(黒丸)を、ロットごとに第5図に示す。なお同図には、従来の製造方法で作製した試料のオフ電流特性(白丸)を、比較のため併せて描いてある。上記試料は、いずれもゲート長Lに対するゲート幅Wの比W/Lを40/4.5とした。

同図より明らかなように、本実施例ではロット間のTFT特性のバラツキを、従来に比較して大幅に改善することができた。

[発明の効果]

以上説明した如く本発明によれば、製造工程においてソース、ドレイン電極形成位置を最適決定することにより、チャネル長の変動を従来に比較

し著しく小さくすることができ、薄膜トランジスタのオフ電流のバラツキを小さくすることが可能となる。

4. 図面の簡単な説明

第1図は本発明の構成説明図、

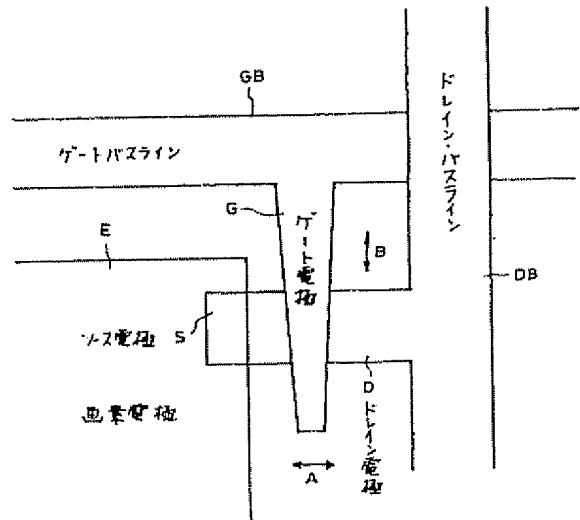
第2図はチャネル長とオフ電流との関係を示す図、

第3図および第4図は本発明の一実施例説明図、

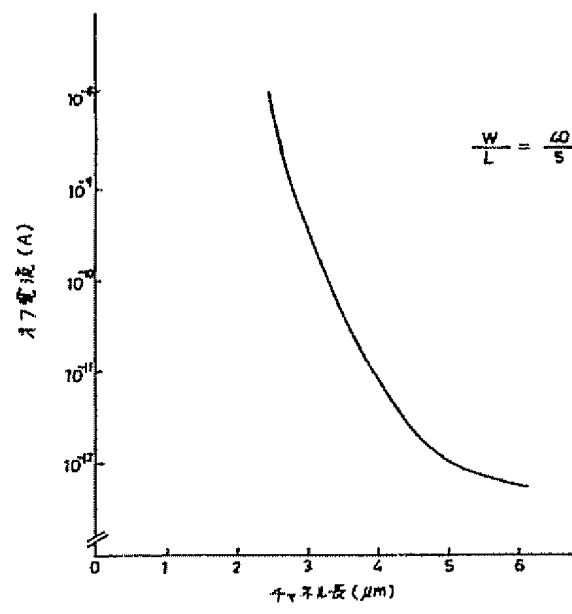
第5図は本発明の効果説明図、

第6図は従来の問題点説明図である。

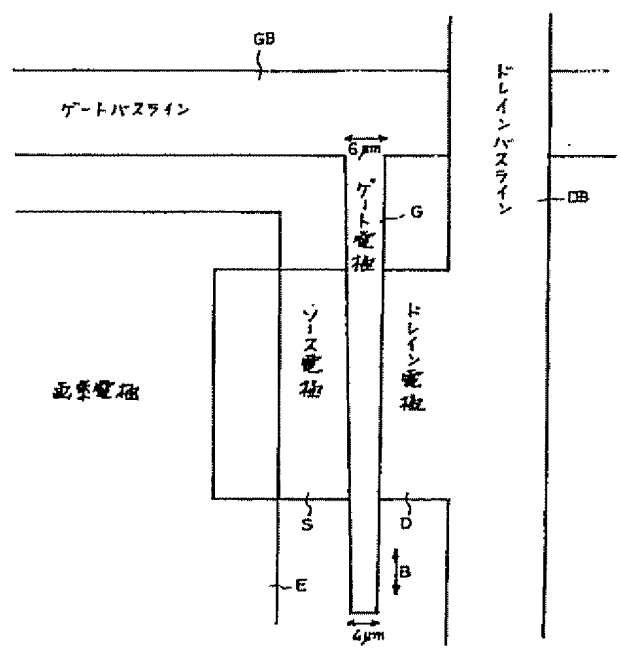
図において、Gはゲート電極、Dはドレイン電極、Sはソース電極、Eは画素電極、GBはゲートバスライン、DBはドレインバスライン、1は絶縁性基板、2はゲート絶縁膜(SiN膜)、3は動作半導体層(a-Si層)、4は密着層(n⁺a-Si層)、5は電極金属膜、6は保護層(SiO₂膜)を示す。



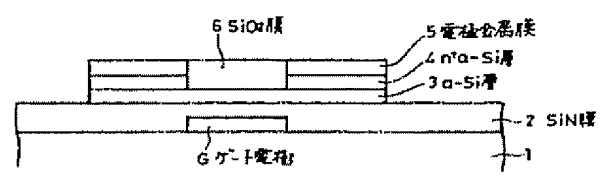
本発明の構成説明図
第1図



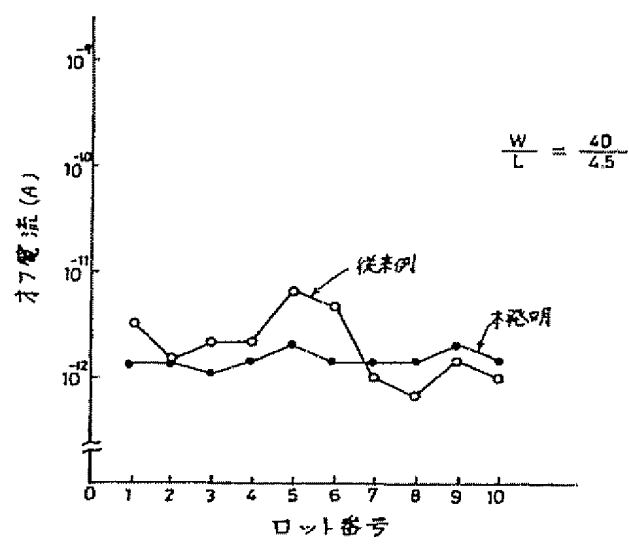
チャネル長とオフ電流との関係
第 2 図



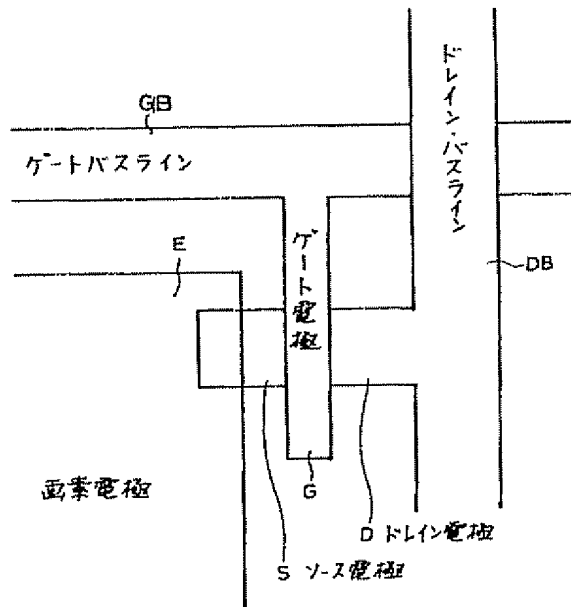
本発明-実施例説明図
第 3 図



本発明-実施例説明図
第 4 図



本発明の効果説明図
第 5 図



従来の問題点説明図

第 6 図

